

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月29日

出 願 番 号

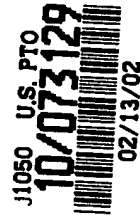
Application Number:

特願2001-199188

出 願 人

Applicant(s):

富士通株式会社

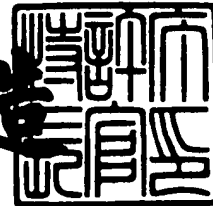


CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月18日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3085996

【書類名】 特許願

【整理番号】 0140468

【提出日】 平成13年 6月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66

【発明の名称】 半導体試験装置及び半導体装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 佐藤 昌宏

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 赤▼座▲ 純司

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 小玉 修▼巳▲

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 水野 裕久

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 井村 敬

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

株式会社内

【氏名】 松崎 康郎

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100068755

【弁理士】

【氏名又は名称】 恩田 博宣

【選任した代理人】

【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体試験装置及び半導体装置

【特許請求の範囲】

- 【請求項 1】 外部試験装置と、
チップ内に形成される B I S T と、
前記外部試験装置と、前記チップとの間に介在される B O S T と
から構成される半導体試験装置であって、
パターン依存試験用試験パターンを前記 B I S T に格納し、タイミング依存試験用試験パターンを前記 B O S T に格納したことを特徴とする半導体試験装置。
- 【請求項 2】 前記 B O S T は、前記外部試験装置から入力される制御信号に基づいて、あらかじめ格納されているタイミング依存試験用試験パターンデータを反転させた裏パターンデータを生成可能としたことを特徴とする請求項 1 記載の半導体試験装置。
- 【請求項 3】 前記 B O S T には、前記チップの出力信号の正誤判定を行う判定回路を設け、前記判定回路は、前記正誤判定に基づいて基準データあるいは該基準データの反転データを前記外部試験装置に出力することを特徴とする請求項 1 乃至 2 のいずれかに記載の半導体試験装置。
- 【請求項 4】 前記 B O S T には、前記 B I S T に出力する出力信号の出力レベルを生成する出力レベル発生用電圧と、前記 B I S T から入力される入力信号を判定する入力レベル判定用基準電圧とを前記外部試験装置から供給したことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体試験装置。
- 【請求項 5】 前記 B O S T は、コンタクタ基板を介してウェハ上の前記チップに接続し、前記コンタクタ基板には、前記判定回路の正誤判定に基づいて前記 B O S T とチップとの接続を遮断するスイッチ回路を設けたことを特徴とする請求項 3 記載の半導体試験装置。
- 【請求項 6】 前記 B O S T は、両面にコンタクタを形成してウェハ上の前記チップとコンタクタ基板にそれぞれ接続し、前記コンタクタ基板を前記外部試験装置に接続したことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体試験装置。

【請求項 7】 前記 B O S T は、片面にコンタクタを形成するとともに他の片面をコンタクタ基板に接着し、前記コンタクタをウェハ上の前記チップと前記コンタクタ基板に接続し、前記コンタクタ基板を前記外部試験装置に接続したことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体試験装置。

【請求項 8】 前記 B O S T は、コンタクタ基板に取着したソケットに収容して電氣的に接続し、前記ソケットを外部試験装置に接続するとともに、コンタクタ基板を介してウェハ上の前記チップに接続したことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体試験装置。

【請求項 9】 前記 B O S T にはタイミング依存試験用試験パターンを発生するパターン発生回路を備え、該パターン発生回路から前記チップにクロック信号を出力する第一の配線及び前記クロック信号に基づく前記チップの出力信号を前記判定回路に出力する第二の配線の配線長の和と等しい長さの第三の配線を介して、前記パターン発生回路から判定回路にクロック信号を入力したことを特徴とする請求項 3 記載の半導体試験装置。

【請求項 1 0】 パターン依存試験を行うための複数の試験パターンを格納した B I S T を備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、半導体装置の試験工程において、半導体装置と外部試験装置との間に介在させて使用する半導体試験装置に関するものである。

【 0 0 0 2 】

近年、半導体装置の試験工程では、ウェハ上に形成されたチップに対しダイシングに先立ってウェハ状態で動作試験が行われる。また、近年の半導体装置ではその動作速度の高速化あるいは大容量化がますます進み、外部試験装置の性能が半導体装置に追従できないという問題点がある。そこで、B O S T (Built Out Self Test) と呼ばれるテストチップ、あるいは各チップ内にあらかじめ形成されるテスト用回路である B I S T (Built In Self Test) を、ウェハと外部試験装置との間に介在させて、外部試験装置の性能を補いながら、動作試験が行われ

ている。そして、このようなBOSTあるいはBISTを使用した動作試験の信頼性をさらに向上させることが必要となっている。

【0003】

【従来の技術】

従来、ウェハ上に多数形成された半導体記憶装置のチップに対し、回路機能や電気的特性等の試験を行う場合には、各チップに形成されているパッドにプローブを接触させ、そのプローブが接続用ケーブルを介して試験装置に接続される。

【0004】

そして、試験装置から送られる所定のテストプログラムに基づいて、各機能試験が行われる。

ところが、上記のようなプローブテストでは、試験装置に入力される信号波形の精度が悪く、高速で動作する半導体記憶装置に対する動作試験では信頼性を十分に確保することはできない。

【0005】

また、近年の半導体記憶装置の動作速度は、試験装置の動作速度をはるかに超えるものであるため、この点においても信頼性に足る動作試験を行うことはできない。

【0006】

そこで、特開2000-100880、あるいは特開平9-49864では、外部試験装置と被測定回路との間に、BOSTあるいはBISTを介在させて、動作試験を行う試験装置が開示されている。

【0007】

【発明が解決しようとする課題】

ところが、上記のようにBOSTあるいはBISTを介在させた動作試験でも、タイミング依存試験あるいはパターン依存試験等のすべての試験をBOSTあるいはBISTによる制御に基づいて行うことはできない。

【0008】

従って、外部試験装置による低速での動作試験しか実施できない試験項目が存在するため、ウェハ状態で十分な試験保証を確保することができないという問題

点がある。

【 0 0 0 9 】

この発明の目的は、B O S T 及び B I S T を活用して、ウェハ状態での動作試験の信頼性を向上させ得る半導体装置の試験装置を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

外部試験装置と、チップ内に形成される B I S T と、前記外部試験装置と前記チップとの間に介在される B O S T とでチップの動作試験が行われる。パターン依存試験用試験パターンが前記 B I S T に格納され、タイミング依存試験用試験パターンが前記 B O S T に格納されて、B O S T 及び B I S T を使用して、パターン依存試験及びタイミング依存試験が行われる。

【 0 0 1 1 】

【発明の実施の形態】

図 1 は、この発明を具体化した試験装置の概要を示す。外部試験装置 1 とウェハ上の被試験チップであるメモリチップ 2 との間には試験用チップである B O S T 3 が介在されている。

【 0 0 1 2 】

前記メモリチップ 2 には、試験用回路としての B I S T 4 があらかじめ形成され、この B I S T 4 内にはパターン依存試験であるマーチ、リフレッシュ、ディスターブ、ロングサイクル等の試験パターンが格納されている。

【 0 0 1 3 】

前記 B O S T 3 内には、パターン発生回路 5 と判定回路 6 が形成され前記外部試験装置 1 から B O S T 3 には電源 VDD, GND を含む B O S T - I N 信号が入力される。

【 0 0 1 4 】

前記 B O S T 3 からメモリチップ 2 内の B I S T 4 には、電源 VDD, GND を含む B O S T - O U T 信号が出力される。この B O S T - O U T 信号は、B I S T 4 を稼働させるテストモード信号であり、この信号の入力により B I S T 4 はあらかじめ格納されている試験パターンに基づいて、パターン依存試験を行う。

【 0 0 1 5 】

そして、B I S T 4 による試験結果は、DATA 0 ～DATA n としてB O S T 3 に出力され、B O S T 3 はそのDATA 0 ～DATA n に基づいて、判定回路 6 により試験結果が正常か否かを判定し、その判定結果が前記外部試験装置 1 にDATA として出力される。

【 0 0 1 6 】

前記パターン発生回路 5 の具体的構成を図 2 に従って説明する。パターンメモリー 7 には、外部試験装置 1 から制御信号としてB O S T クロックが入力され、パターンメモリー 7 はそのB O S T クロックに基づいて、あらかじめ格納されているタイミング依存試験のための試験パターンP T をタイミングジェネレータ 8 に出力する。

【 0 0 1 7 】

タイミングジェネレータ 8 は、基準クロック信号C L K を生成してウェーブフォーマッタ 9 及びカウンタ 1 0 に出力するとともに、前記試験パターンP T をウェーブフォーマッタ 9 に出力する。

【 0 0 1 8 】

前記ウェーブフォーマッタ 9 には、前記外部試験装置 1 からDATA として期待値制御信号が入力される。そして、ウェーブフォーマッタ 9 は期待値制御信号に基づいて、試験パターンP T に対し表パターンと裏パターンのいずれかを選択してクロックバッファ 1 1 に出力する。裏パターンは、表パターンを反転させて得られるパターンである。

【 0 0 1 9 】

前記カウンタ 1 0 は、基準クロック信号C L K をカウントし、所定数のクロック信号C L K をカウントすると、カウントアップ信号を前記クロックバッファ 1 1 に出力する。

【 0 0 2 0 】

前記クロックバッファ 1 1 は、ウェーブフォーマッタ 9 から出力される試験パターンを、前記カウントアップ信号が入力される毎に前記メモリチップ 2 に出力する。

【 0 0 2 1 】

そして、メモリチップ 2 ではクロックバッファ 1 1 から出力される試験パターンと、前記 B O S T - O U T 信号に基づいて、タイミング依存試験が行われる。

前記判定回路 6 の具体的構成を図 3 に従って説明する。前記パターン発生回路 5 で生成された試験パターン P T が書き込みデータ W D としてドライバ 1 2 を介して前記メモリチップ 2 に出力される。前記試験パターン P T は、メモリチップ 2 に書き込まれる書き込みデータのパターンである。

【 0 0 2 2 】

メモリチップ 2 への書き込み動作の終了後、書き込まれたデータが順次読み出されて、読み出しデータ R D として比較器 1 3 に入力される。前記比較器 1 3 には、前記書き込みデータ W D が入力され、読み出しデータ R D と順次比較される。

【 0 0 2 3 】

前記比較器 1 3 は、入力信号が一致すれば「0」、不一致であれば「1」の出力信号を出力する。

前記比較器 1 3 の出力信号は P / F 判定回路 1 4 に入力され、その P / F 判定回路 1 4 には前記期待値制御信号 D A T A が入力される。そして、P / F 判定回路 1 4 は、比較器 1 3 の出力信号が「0」であれば、期待値制御信号 D A T A と同じ値（例えば 0）の判定結果を結果収納用 R A M 1 5 に出力し、比較器 1 3 の出力信号が「1」であれば、期待値制御信号 D A T A と逆の値（例えば 1）の判定結果を結果収納用 R A M 1 5 に出力する。

【 0 0 2 4 】

前記結果収納用 R A M 1 5 は、P / F 判定回路 1 4 から出力される判定結果を順次格納する。そして、メモリチップ 2 からのデータ読み出し動作の終了後に、前記パターン発生回路 5 から結果収納用 R A M 1 5 に出力命令信号 O C M が入力されると、結果収納用 R A M 1 5 はその格納内容を外部試験装置 1 に順次出力する。

【 0 0 2 5 】

外部試験装置 1 では、読み出し動作の終了後に、P / F 判定回路 1 4 から期待

値制御信号DATAと同じ値が入力されれば、メモリチップ2が正常であると判定し、期待値制御信号DATAの逆の値が入力されると、メモリチップ2が不良であると判定する。

【0026】

図1に示すように、前記判定回路6には外部試験装置1から入出力判定用電源として電源VDD及びグランドGNDが供給される。すなわち、図4に示すように、前記判定回路6のドライバ12及び比較器13には、入出力判定用電源として電源VDD及びグランドGNDが供給される。ドライバ12は入力信号に基づいて電源VDDとグランドGNDとの電位差を最大振幅とする出力信号を前記メモリチップ2に出力する。

【0027】

また、比較器13はメモリチップ2から出力される読み出しデータを、電源VDD及びグランドGNDに基づいて生成される所定の判定レベルと比較して、その比較結果を「1」若しくは「0」の2値信号として出力する。

【0028】

また、電源VDD及びグランドGNDを他の電圧レベルに設定することにより、ドライバ12の出力レベル及び比較器13の判定レベルを任意に調整可能である。

【0029】

図5は、図4に示す構成をさらに詳細に説明するものであり、BOST3とメモリチップ2とに異なる電圧の電源が供給される場合を示す。

すなわち、メモリチップ2等の半導体の動作試験を行う場合には、電源マージン保証のために、動作保証範囲外の電源を供給することがある。また、BOST3はタイミング試験用の回路等、高精度で動作させる必要がある回路を含んでいるため、例えば3.3Vの一定の電源を供給する必要がある。

【0030】

図5に示すように、メモリチップ2とBOST3には外部試験装置1から異なる電圧の電源VDD1、VDD2が供給される。

BOST3は、BOST回路16と、そのBOST回路16とメモリチップ2

との間に介在されるメモリチップ用 I/O 回路 17 と、BOST 回路 16 と外部試験装置 1 との間に介在される試験装置用 I/O 回路 18 とから構成される。

【0031】

メモリチップ 2 には、外部試験装置 1 から 3.9V の高電位側電源 VDD1 が供給され、BOST 3 には外部試験装置 1 から 3.3V の高電位側電源 VDD2 が供給される。なお、メモリチップ 2 及び BOST 3 に供給される低電位側電源はともに電源 Vss である。

【0032】

そして、BOST 回路 16 とメモリチップ 2 とはメモリチップ用 I/O 回路 17 を介して信号の入出力が行われ、BOST 回路 16 と外部試験装置 1 とは試験装置用 I/O 回路 18 を介して信号の入出力が行われる。

【0033】

メモリチップ用 I/O 回路 17 には、出力レベル発生用電圧 VH, VL 及び入力レベル判定用基準電圧 VRH, VRL が供給される。

前記メモリチップ用 I/O 回路 17 の具体的構成を図 6 に従って説明する。メモリチップ用 I/O 回路 17 は、BOST 3 の入出力端子と同数の I/O バッファ 19 で構成される。

【0034】

前記各 I/O バッファ 19 は、ドライバ 20 と比較器 21a, 21b とから構成される。前記ドライバ 20 には出力レベル発生用電圧 VH, VL が供給され、ドライバ 20 は入力信号 IN に基づいて、出力レベル発生用電圧 VH, VL との電位差を最大振幅とする出力信号 OUT を前記メモリチップ 2 に出力する。

【0035】

前記比較器 21a には入力レベル判定用基準電圧 VRH が入力され、メモリチップ 2 から入力される信号の電圧レベルが基準電圧 VRH より高くなったとき、H レベルの出力信号をバッファ回路 22 に出力する。

【0036】

前記比較器 21b には入力レベル判定用基準電圧 VRL が入力され、メモリチップ 2 から入力される信号の電圧レベルが基準電圧 VRL より低くなったとき、L レ

ベルの出力信号をバッファ回路 22 に出力する。前記基準電圧 V_{RH} は、基準電圧 V_{RL} より高い電圧である。

【0037】

前記ドライバ 20 の回路例を図 7 に示す。入力信号 I_N は N チャネル MOS トランジスタ $Tr1$ のゲートに入力されるとともに、インバータ回路 23 a を介して N チャネル MOS トランジスタ $Tr2$ のゲートに入力される。

【0038】

前記トランジスタ $Tr1$ のソースには電源 V_{ss} が供給され、ドレインは P チャネル MOS トランジスタ $Tr3$ のドレインに接続される。前記トランジスタ $Tr2$ のソースには電源 V_{ss} が供給され、ドレインは P チャネル MOS トランジスタ $Tr4$ のドレインに接続される。

【0039】

前記トランジスタ $Tr3$ 、 $Tr4$ のソースには出力レベル発生用電圧 V_H が供給され、トランジスタ $Tr3$ のゲートがトランジスタ $Tr4$ のドレインに接続され、トランジスタ $Tr4$ のゲートがトランジスタ $Tr3$ のドレインに接続される。そして、トランジスタ $Tr3$ のドレインが出力段のインバータ回路 23 b の入力端子に接続される。

【0040】

前記インバータ回路 23 b には出力レベル発生用電圧 V_H が高電位側電源として供給され、出力レベル発生用電圧 V_L が低電位側電源として供給される。

上記のようなドライバ 20 では、入力信号と同相の出力信号 $O_U T$ がインバータ回路 23 b から出力されるとともに、出力信号 $O_U T$ は出力レベル発生用電圧 V_H 、 V_L の間で変化する。

【0041】

図 8 に示すように、前記 BOST 3 はコンタクタ基板 24 を介してウェハ 25 上に形成されるメモリチップ 2 に接続される。各 BOST 3 は、それぞれ一つのメモリチップ 2 に接続される。

【0042】

図 9 に示すように、前記 BOST 3 は、コンタクタ基板 24 の基板内配線に介

在されるスイッチ回路26を介してメモリチップ2に接続される。前記スイッチ回路26はBOST3から出力されるイネーブル信号ENに基づいて開閉される。

【0043】

前記イネーブル信号ENは、前記判定回路6内の結果収納用RAM15から出力される判定信号に基づいて出力され、メモリチップ2が不良である場合には、イネーブル信号ENによりスイッチ回路26が不導通となり、メモリチップ2が正常である場合には、スイッチ回路26が導通する。

【0044】

このような動作により、動作試験時に不良と判定されたメモリチップ2は、BOST3から切り離されて、BOST-OUT信号の出力が停止される。

図10～図12は、BOST3とウェハ25上のメモリチップ2との接続構成を示す。

【0045】

図10に示す構成では、BOSTチップ3の表裏両面にコンタクタ27aが形成されている。この場合には、コンタクタ基板24とウェハ25との間にBOSTチップ3を挟着することにより、外部試験装置1とウェハ25上のメモリチップ2とがBOSTチップ3を介して接続されるとともに、BOSTチップ3がメモリチップ2に近接した状態で接続される。

【0046】

そして、外部試験装置1からコンタクタ基板24を介してBOST3にBOST-IN信号が入力され、BOST3内で生成されたBOST-OUT信号がコンタクタ27aを介してウェハ25上のメモリチップ2に出力される。

【0047】

また、BOSTチップ3を収容するパッケージを形成し、そのパッケージの表裏両面にコンタクタを形成する構成とすれば、汎用のパッケージで異なるBOSTチップ3を収容して、コンタクタ基板24とウェハ25とをBOST3で接続することができる。

【0048】

図11に示す構成では、BOSTチップ3の片面にのみコンタクタ27b, 27cが形成され、BOSTチップ3の他の片面がコンタクタ基板24に接着されている。

【0049】

そして、コンタクタ27bがワイヤボンディング27dでコンタクタ基板24に接続されている。

このような構成では、BOSTチップ3のコンタクタ27cをメモリチップ2に当接させることにより、外部試験装置1とウェハ25上のメモリチップ2とがBOSTチップ3を介して接続されるとともに、BOSTチップ3がメモリチップ2に近接した状態で接続される。

【0050】

図12に示す構成では、BOSTチップ3の片面にコンタクタ27b, 27cが形成され、そのBOSTチップ3がソケット28に収容されて、コンタクタ27b, 27cがソケット28のコンタクタ29a, 29bに接続される。

【0051】

前記ソケット28のコンタクタ29aは、同ソケット28の外壁内を経て、同外壁上端のコンタクタ29cに接続されるか、あるいはコンタクタ基板24のコンタクタから外壁の外方に配設された配線30を介して外壁上端のコンタクタ29dに接続される。

【0052】

前記ソケット28には蓋31をネジ着可能に形成され、その蓋31に設けられたポゴピン32が前記コンタクタ29c, 29dに接続される。そして、ポゴピン32が外部試験装置1に接続される。

【0053】

前記ソケット28のコンタクタ29bは、コンタクタ基板24に形成されたコンタクタ33に接続され、そのコンタクタ33はコンタクタ基板24を貫通して下方へ針状に突出している。

【0054】

そして、針状のコンタクタ33の先端がウェハ25上のメモリチップ2に接続

される。

このような構成では、B O S Tチップ3のコンタクタ27b, 27cをソケット28のコンタクタ29a, 29bに当接させることにより、外部試験装置1とウェハ25上のメモリチップ2とがB O S Tチップ3を介して接続されるとともに、B O S Tチップ3がメモリチップ2に近接した状態で接続される。

【0055】

図13は、メモリチップ2に対し動作試験を行う際に、B O S T3によりアクセス時間を測定するための構成を示す。前記B O S T3内のパターン発生回路5は、クロック信号C L Kをメモリチップ2及び前記判定回路6に出力する。

【0056】

前記メモリチップ2はクロック信号C L Kの入力に基づいて動作して、出力信号D Q (D A T A)を判定回路6に出力する。

前記パターン発生回路5からメモリチップ2にクロック信号C L Kを出力するための配線の長さをxとし、メモリチップ2から判定回路6に出力信号D Qを出力するための配線の長さをyとしたとき、パターン発生回路5から判定回路6にクロック信号C L Kを出力するための配線の長さをx + yとする。

【0057】

すると、メモリチップ2から判定回路6に入力される出力信号D Qと、パターン発生回路5から判定回路6に入力されるクロック信号C L Kとの入力タイミングを比較することにより、メモリチップ2において、クロック信号C L Kが入力されてから出力信号D Qが出力されるまでのアクセス時間を、配線x, yによる遅延を補正するための補正回路を使用することなく測定することができる。

【0058】

図14は、判定回路6内に設けられるアクセス時間判定回路の構成を示す。パターン発生回路5から出力されるクロック信号C L Kと、メモリチップ2から出力される出力信号D Qは、それぞれラッチ回路34a, 34bに入力される。

【0059】

ラッチ回路34aは、図15に示すように、クロック信号C L Kを所定の判定レベルで判定して、Hレベル若しくはLレベルのアクセス信号c l kを出力し、

ラッチ回路 3 4 b は、図 1 6 に示すように、出力信号 D Q を所定の判定レベルで判定して、H レベル若しくは L レベルのアクセス信号 d q を出力する。

【 0 0 6 0 】

前記アクセス信号 c l k, d q は、選択回路 3 5 に出力される。選択回路 3 5 は、アクセス信号 c l k, d q のうち先に立ち上がる信号に基づいて H レベルに立ち上がり、後に立ち上がる信号に基づいて L レベルに立ち下がる出力信号を周波数カウンタ 3 6 に出力する。

【 0 0 6 1 】

従って、選択回路 3 5 はアクセス信号 c l k, d q の E O R 論理を出力する構成である。

前記周波数カウンタ 3 6 には、高周波発生器 3 7 から高周波数のパルス信号が入力される。そして、周波数カウンタ 3 6 は選択回路 3 5 の出力信号の立ち上がりに基づいてカウント値をリセットするとともに、高周波発生器 3 7 の出力信号のパルス数のカウントを開始し、選択回路 3 5 の出力信号の立ち下がりに基づいてカウントを終了する。

【 0 0 6 2 】

前記周波数カウンタ 3 6 にはアクセス時間判定回路 3 8 が接続される。そして、アクセス時間判定回路 3 8 は周波数カウンタ 3 6 のカウント値をあらかじめ設定されている基準値と比較して、その比較結果を出力する。

【 0 0 6 3 】

このような動作により、メモリチップ 2 のアクセス時間が所定範囲内であるか否かが判定可能となる。

メモリチップ 2 の出力信号 D Q は複数ビットの出力信号が並列に出力されることが一般的である。この場合のアクセス時間測定回路を図 1 7 に従って説明する。

【 0 0 6 4 】

クロック信号 C L K をラッチ回路でラッチしたクロックアクセス信号 c l k は、第一及び第二の周波数カウンタ 3 9 a, 3 9 b に入力される。

出力信号 D Q 1 ~ D Q 3 をそれぞれラッチ回路でラッチしたアクセス信号 d q

1 ～ d q 3 は、O R 回路 4 0 a 及び A N D 回路 4 1 a に入力される。そして、O R 回路 4 0 a の出力信号は第一の周波数カウンタ 3 9 a に入力され、A N D 回路 4 1 a の出力信号は第二の周波数カウンタ 3 9 b に入力される。

【 0 0 6 5 】

第一及び第二の周波数カウンタ 3 9 a , 3 9 b には、高周波数のパルス信号が入力されているものとする。

第一の周波数カウンタ 3 9 a は、O R 回路 4 0 a の出力信号の立ち上がりでパルス信号のカウンタ動作を開始し、クロックアクセス信号 c l k の立ち上がりでカウンタ動作を終了する。

【 0 0 6 6 】

第二の周波数カウンタ 3 9 b は、クロックアクセス信号 c l k の立ち上がりでカウンタ動作を開始し、A N D 回路 4 1 a の出力信号でカウンタ動作を終了する。

【 0 0 6 7 】

前記第一及び第二の周波数カウンタ 3 9 a , 3 9 b のカウンタ値は、アクセス時間判定回路 3 8 で判定される。

図 1 8 に示すように、アクセス信号 d q 1 ～ d q 3 の立ち上がりに時間差が生じていると、同図に示すように、前記 O R 回路 4 0 a 及び A N D 回路 4 1 a から出力信号 o u t 1 , o u t 2 が出力される。

【 0 0 6 8 】

そして、前記出力信号 o u t 1 に基づいて立ち上がり、出力信号 o u t 2 に基づいて立ち下がる信号 e o r は、出力信号 o u t 1 , o u t 2 の E O R 論理を示すものであり、アクセス信号 d q 1 ～ d q 3 の揺らぎ (s k e w) を表す。

【 0 0 6 9 】

上記のようなアクセス時間測定回路の動作を図 1 9 に従って説明する。同図において、信号 e o r 1 はアクセス信号 d q 1 ～ d q 3 の立ち上がりがアクセスクロック信号 c l k の立ち上がりより早い場合である。

【 0 0 7 0 】

この場合には、信号 e o r 1 の立ち上がりからアクセスクロック信号 c l k の

立ち上がりまでの時間 t_1 が保証されるべきアクセス時間となる。そして、信号 e_{or1} の立ち上がりで第一の周波数カウンタ 39 a がリセットされてカウント動作を開始し、アクセスクロック信号 clk の立ち上がりまでの時間 t_1 でカウント動作を行う。

【 0 0 7 1 】

従って、第一の周波数カウンタ 39 a での時間 t_1 でのカウント値が、アクセス時間判定回路 38 に出力され、アクセス時間の判定が行われる。

また、信号 e_{or2} はアクセス信号 $dq1 \sim dq3$ の立ち上がりがアクセスクロック信号 clk の立ち上がりより遅い場合である。

【 0 0 7 2 】

この場合には、アクセスクロック信号 clk の立ち上がりから信号 e_{or2} の立下りまでの時間 t_2 が保証されるべきアクセス時間となる。そして、アクセスクロック信号 clk の立ち上がりで第二の周波数カウンタ 39 b がリセットされてカウント動作を開始し、信号 e_{or2} の立下りまでの時間 t_2 でカウント動作を行う。

【 0 0 7 3 】

従って、第二の周波数カウンタ 39 b での時間 t_2 でのカウント値が、アクセス時間判定回路 38 に出力され、アクセス時間の判定が行われる。

また、信号 e_{or3} はアクセス信号 $dq1 \sim dq3$ が、アクセスクロック信号 clk の立ち上がりの前後で立ち上がる場合である。

【 0 0 7 4 】

この場合には、信号 e_{or3} の立ち上がりから立下りまでの時間 t_3 が保証されるべきアクセス時間となる。信号 e_{or3} の立ち上がりからアクセスクロック信号 clk の立ち上がりまでの時間では、第一の周波数カウンタ 39 a でカウント動作が行われ、アクセスクロック信号 clk の立ち上がりから信号 e_{or3} の立下りまでの時間では、第二の周波数カウンタ 39 b でカウント動作が行われる。

【 0 0 7 5 】

そして、第一及び第二の周波数カウンタ 39 a, 39 b のカウント値がアクセ

ス時間判定回路 3 8 に出力され、アクセス時間の判定が行われる。

また、第一及び第二の周波数カウンタ 3 9 a, 3 9 b のいずれか一方において、カウント動作を停止させるための信号が入力されない場合がある。その場合には、他方の周波数カウンタのカウント値に基づいてアクセス時間判定回路 3 8 から出力される判定信号 J G を周波数カウンタに入力して、カウント動作を停止させるようにしてもよい。

【 0 0 7 6 】

図 2 0 は、前記アクセス信号 d q 1 ~ d q 3 の揺れ幅 (s k e w) を判定する回路を示す。

アクセス信号 d q 1 ~ d q 3 は、OR 回路 4 0 b 及び AND 回路 4 1 b にそれぞれ入力され、OR 回路 4 0 b 及び AND 回路 4 1 b の出力信号が周波数カウンタ 4 2 に入力される。そして、周波数カウンタ 4 2 のカウント値がアクセス時間判定回路 3 8 で判定される。

【 0 0 7 7 】

このような構成により、アクセス信号 d q 1 ~ d q 3 の揺れ幅 (s k e w) を判定することが可能となる。

図 2 1 は、外部試験装置 1 から入力される基準クロック信号 c k とアクセス信号 d q とのアクセス時間を判定する回路を示す。基準クロック信号 c k とアクセス信号 d q は、OR 回路 4 0 c 及び AND 回路 4 1 c にそれぞれ入力され、OR 回路 4 0 c 及び AND 回路 4 1 c の出力信号が周波数カウンタ 4 2 に入力される。そして、周波数カウンタ 4 2 のカウント値がアクセス時間判定回路 3 8 で判定される。

【 0 0 7 8 】

このような構成により、基準クロック信号 c k とアクセス信号 d q とのアクセス時間を判定することが可能となる。

上記のように構成された試験装置では、次に示す作用効果を得ることができる。

(1) 外部試験装置 1、試験用チップである B O S T 3 及びメモリチップ 2 内にあらかじめ形成されている B I S T 4 を使用して、メモリチップ 2 のパターン依

存試験及びタイミング依存試験を行うことができる。

(2) 外部試験装置 1 から B O S T 3 を介して B I S T 4 に入力される制御信号により、B I S T 4 を動作させて、パターン依存試験を行うことができる。

(3) B O S T 3 内のパターンメモリ 7 に格納されている試験パターン P T と、外部試験装置 1 から入力される期待値制御信号に基づいて、一つの試験パターン P T の表パターンに対する裏パターンをウェーブフォーマッタ 9 で生成することができる。従って、一つの試験パターン P T に対する表パターンと裏パターンをパターンメモリ 7 に両方とも記憶させる必要はないので、パターンメモリ 7 の記憶容量を縮小して、B O S T チップ 3 を小型化することができる。

(4) タイミング依存試験の試験パターン P T を B O S T 3 で生成して、ウェハ 2 5 上のメモリチップ 2 に出力することができる。従って、ウェハ 2 5 に近接した位置から試験パターン P T を供給することができるので、ウェハ 2 5 に入力される試験パターン P T の波形精度を向上させることができる。この結果、動作試験の高速化を図ることができるので、動作試験の信頼性を向上させることができる。

(5) 図 3 に示すように、メモリチップ 2 から読み出されたデータが正常か否かを B O S T 3 内の判定回路 6 で判定し、正常である場合には外部試験装置 1 から入力される期待値制御信号 D A T A がそのまま外部試験装置 1 に判定結果として出力され、不良である場合には期待値制御信号 D A T A が反転されて外部試験装置 1 に判定結果として出力される。従って、外部試験装置 1 では動作試験結果に基づく不良判定を従来と同様な構成で容易に行うことができる。

(6) 図 6 に示すように、B O S T 3 内のドライバ 2 0 には、出力レベル発生用電圧 V_H , V_L が外部試験装置 1 から供給されるため、B O S T 3 からメモリチップ 2 に出力される出力信号の出力レベルを安定させて、動作試験の信頼性を向上させることができる。

(7) 図 6 に示すように、B O S T 3 内の比較器 2 1 には入力レベル判定用基準電圧 V_{RH} , V_{RL} が外部試験装置 1 から供給されるため、メモリチップ 2 の出力信号レベルの判定動作を安定させて、動作試験の信頼性を向上させることができる。

(8) 図9に示すように、不良と判定されたメモリチップ2は、BOSTチップ3との接続が遮断される。従って、不良メモリチップを確実に不活性化して、不良メモリチップの動作に基づく他の正常なメモリチップの誤動作等を確実に防止することができる。

(9) 図10～図12に示す構成により、BOSTチップ3をウェハ25上のメモリチップ2に近接した位置に配設することができる。この結果、動作試験の高速化を図ることができるので、動作試験の信頼性を向上させることができる。

(10) BOSTチップ3をソケット28に収容したので、BOSTチップ3の故障時にはその交換が容易である。

(11) 図13に示す構成により、パターン発生回路5とメモリチップ2との間の配線長及びメモリチップ2と判定回路6との間の配線長によるアクセス時間の遅延を排除したアクセス時間を、補正回路を用いることなく測定することができる。

(12) メモリチップ2の出力信号DQのアクセス時間は、クロック信号CLKと出力信号DQとのEOR論理を求め、そのEOR論理のパルス幅を周波数カウンタでカウントすることにより測定可能である。

(13) 図17に示すように、メモリチップ2の出力信号が多ビットの場合には、各出力信号をそれぞれOR回路及びAND回路に入力し、そのOR回路及びAND回路の出力信号と、クロック信号と、第一及び第二の周波数カウンタにより、出力信号のアクセス時間の測定及び判定が可能となる。

(14) 図20に示すように、多ビットの出力信号間のskewの測定及び判定を行うことができる。

【0079】

上記実施の形態は、次に示すように変更することもできる。

- ・図10に示す構成において、BOSTチップ3を両面にコンタクタを備えたパッケージに収容してもよい。

- ・動作試験を行う被試験チップは、メモリチップ以外のチップでもよい。

(付記1) 外部試験装置と、

チップ内に形成されるBISTと、

前記外部試験装置と、前記チップとの間に介在される B O S T とから構成される半導体試験装置であって、

パターン依存試験用試験パターンを前記 B I S T に格納し、タイミング依存試験用試験パターンを前記 B O S T に格納したことを特徴とする半導体試験装置。

(付記 2) 前記 B O S T は、前記外部試験装置から入力される制御信号に基づいて、あらかじめ格納されているタイミング依存試験用試験パターンデータを反転させた裏パターンデータを生成可能としたことを特徴とする付記 1 記載の半導体試験装置。

(付記 3) 前記 B O S T には、前記チップの出力信号の正誤判定を行う判定回路を設け、前記判定回路は、前記正誤判定に基づいて基準データあるいは該基準データの反転データを前記外部試験装置に出力することを特徴とする付記 1 乃至 2 のいずれかに記載の半導体試験装置。

(付記 4) 前記 B O S T には、前記 B I S T に出力する出力信号の出力レベルを生成する出力レベル発生用電圧と、前記 B I S T から入力される入力信号を判定する入力レベル判定用基準電圧とを前記外部試験装置から供給したことを特徴とする付記 1 乃至 3 のいずれかに記載の半導体試験装置。

(付記 5) 前記 B O S T は、コンタクタ基板を介してウェハ上の前記チップに接続し、前記コンタクタ基板には、前記判定回路の正誤判定に基づいて前記 B O S T とチップとの接続を遮断するスイッチ回路を設けたことを特徴とする付記 3 記載の半導体試験装置。

(付記 6) 前記 B O S T は、両面にコンタクタを形成してウェハ上の前記チップとコンタクタ基板にそれぞれ接続し、前記コンタクタ基板を前記外部試験装置に接続したことを特徴とする付記 1 乃至 3 のいずれかに記載の半導体試験装置。

(付記 7) 前記 B O S T は、片面にコンタクタを形成するとともに他の片面をコンタクタ基板に接着し、前記コンタクタをウェハ上の前記チップと前記コンタクタ基板に接続し、前記コンタクタ基板を前記外部試験装置に接続したことを特徴とする付記 1 乃至 3 のいずれかに記載の半導体試験装置。

(付記 8) 前記 B O S T は、コンタクタ基板に取着したソケットに収容して電氣的に接続し、前記ソケットを外部試験装置に接続するとともに、コンタクタ基

板を介してウェハ上の前記チップに接続したことを特徴とする付記 1 乃至 3 のいずれかに記載の半導体試験装置。

(付記 9) 前記 B O S T にはタイミング依存試験用試験パターンを発生するパターン発生回路を備え、該パターン発生回路から前記チップにクロック信号を出力する第一の配線及び前記クロック信号に基づく前記チップの出力信号を前記判定回路に出力する第二の配線の配線長の和と等しい長さの第三の配線を介して、前記パターン発生回路から判定回路にクロック信号を入力したことを特徴とする付記 3 記載の半導体試験装置。

(付記 1 0) パターン依存試験を行うための複数の試験パターンを格納した B I S T を備えたことを特徴とする半導体装置。

(付記 1 1) 前記判定回路は、前記チップから出力される出力信号と、前記パターン発生回路から出力されるクロック信号とに基づいて前記チップのアクセス時間を測定する測定回路を備えたことを特徴とする付記 9 記載の半導体試験装置。

(付記 1 2) 前記測定回路は、前記クロック信号と出力信号との E O R 論理を生成し、該 E O R 論理信号の時間幅を周波数カウンタで測定することを特徴とする付記 1 1 記載の半導体試験装置。

(付記 1 3) 前記測定回路は、複数ビットの出力信号を O R 回路と A N D 回路にそれぞれ入力し、前記 O R 回路及び A N D 回路の出力信号に基づいて複数ビットの出力信号の E O R 論理を生成し、該 E O R 論理信号と前記クロック信号に基づいてアクセス時間を周波数カウンタで測定することを特徴とする付記 1 1 記載の半導体試験装置。

【 0 0 8 0 】

【発明の効果】

以上詳述したように、この発明は B O S T 及び B I S T を活用して、ウェハ状態での動作試験の信頼性を向上させ得る半導体装置の試験装置を提供することができる。

【図面の簡単な説明】

【図 1】 一実施の形態の試験装置を示すブロック図である。

- 【図 2】 パターン発生回路を示すブロック図である。
- 【図 3】 判定回路を示すブロック図である。
- 【図 4】 判定回路の入出力回路を示す回路図である。
- 【図 5】 B O S T の入出力回路を示すブロック図である。
- 【図 6】 B O S T の入出力回路を示す回路図である。
- 【図 7】 ドライバを示す回路図である。
- 【図 8】 B O S T チップとウェハの接続を示す断面図である。
- 【図 9】 B O S T チップとウェハの接続を示す説明図である。
- 【図 1 0】 B O S T チップとウェハの接続を示す概要図である。
- 【図 1 1】 B O S T チップとウェハの接続を示す概要図である。
- 【図 1 2】 B O S T チップとウェハの接続を示す概要図である。
- 【図 1 3】 アクセス試験を示す説明図である。
- 【図 1 4】 アクセス時間を測定する測定回路を示すブロック図である。
- 【図 1 5】 クロック信号を示す波形図である。
- 【図 1 6】 メモリチップの出力信号を示す波形図である。
- 【図 1 7】 アクセス時間を測定する測定回路を示すブロック図である。
- 【図 1 8】 アクセス時間を測定する測定回路の動作を示す波形図である。
- 【図 1 9】 アクセス時間を測定する測定回路の動作を示す波形図である。
- 【図 2 0】 アクセス時間を測定する測定回路を示すブロック図である。
- 【図 2 1】 アクセス時間を測定する測定回路を示すブロック図である。

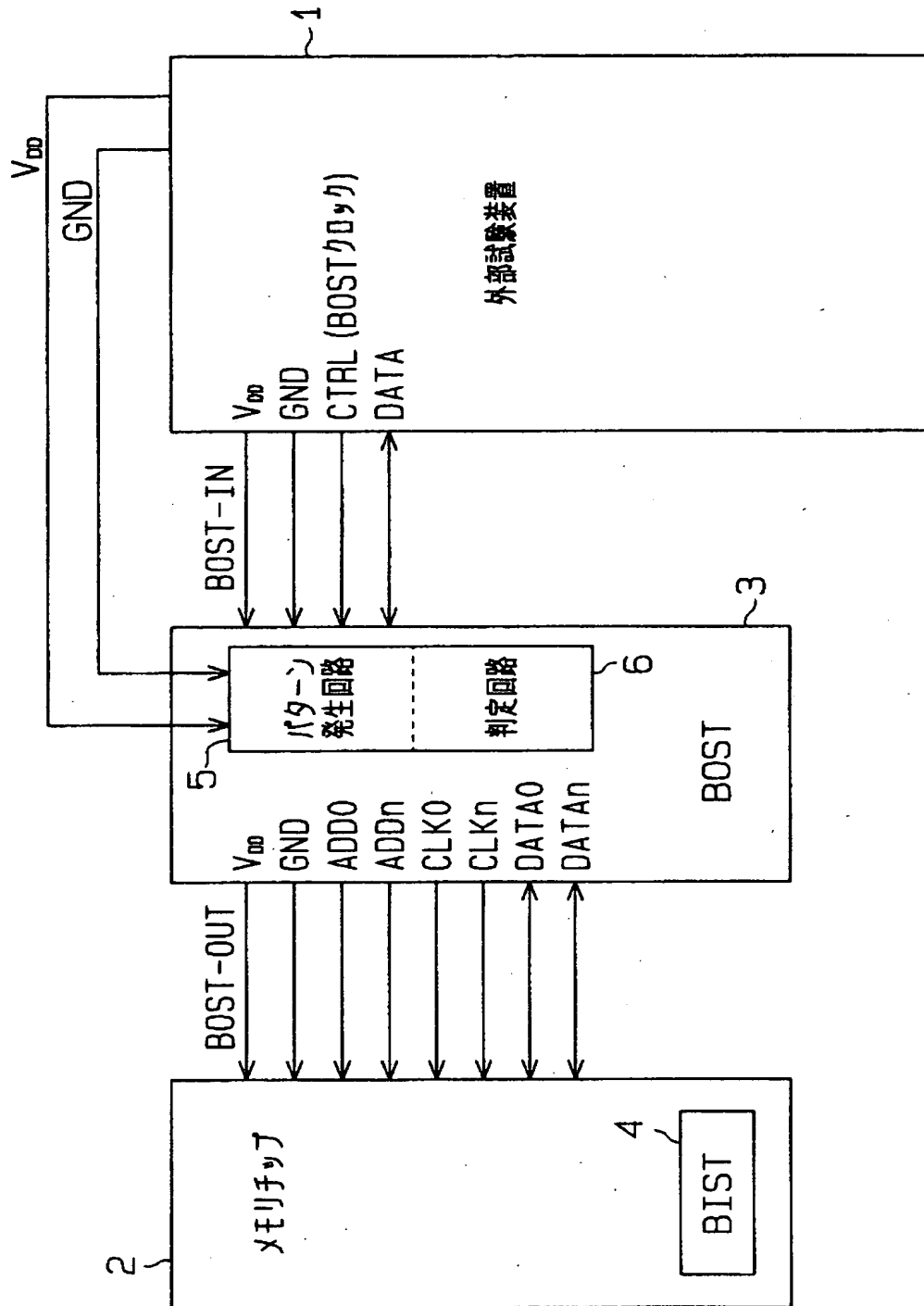
【符号の説明】

- 1 外部試験装置
- 2 チップ（メモリチップ）
- 3 B O S T
- 4 B I S T

【書類名】 図面

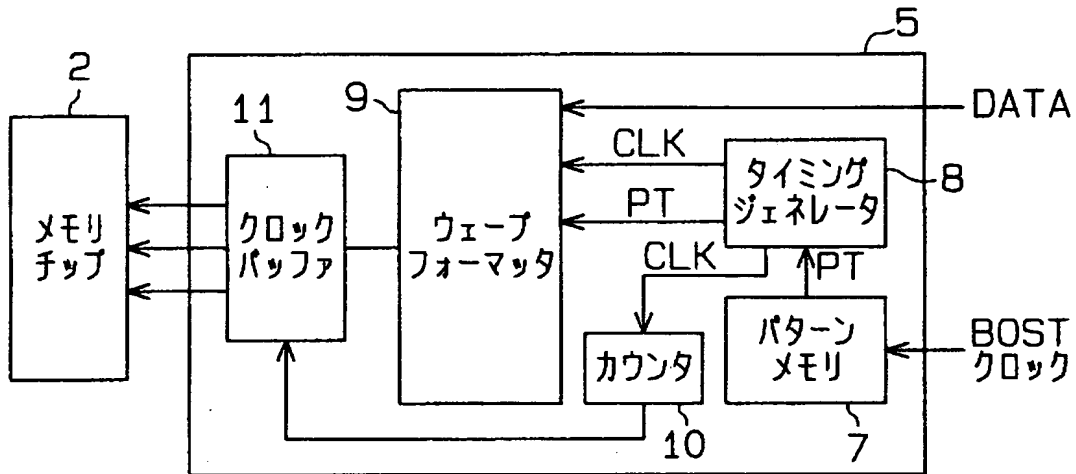
【図 1】

一実施の形態の試験装置を示すブロック図



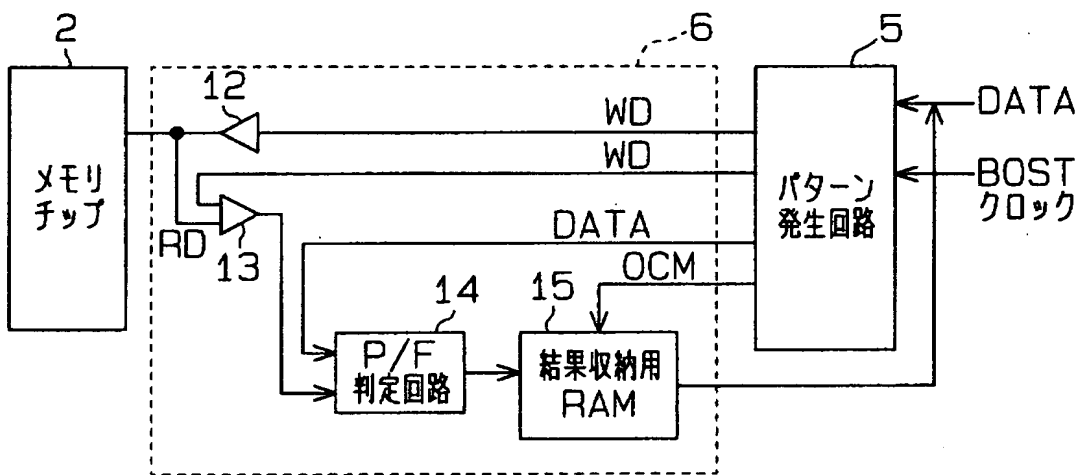
【図 2】

パターン発生回路を示すブロック図



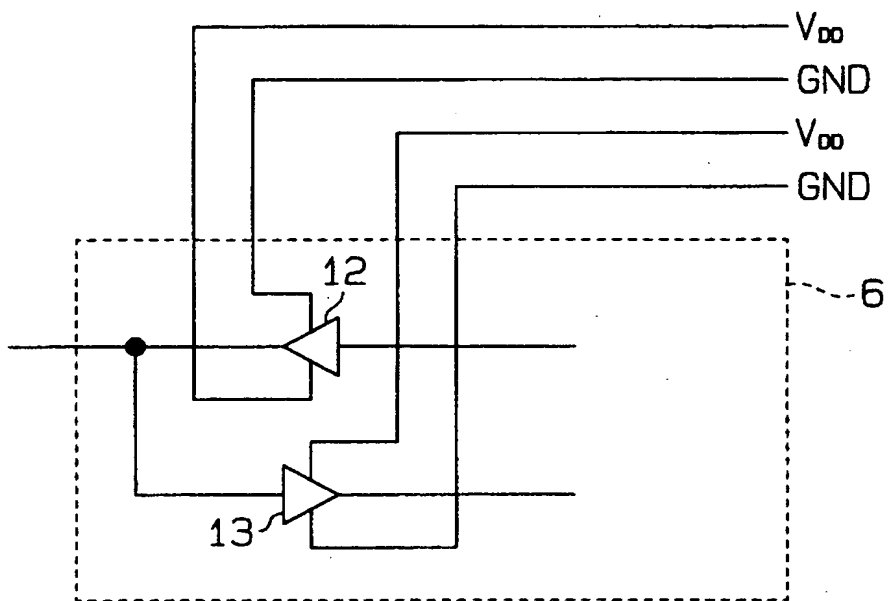
【図 3】

判定回路を示すブロック図



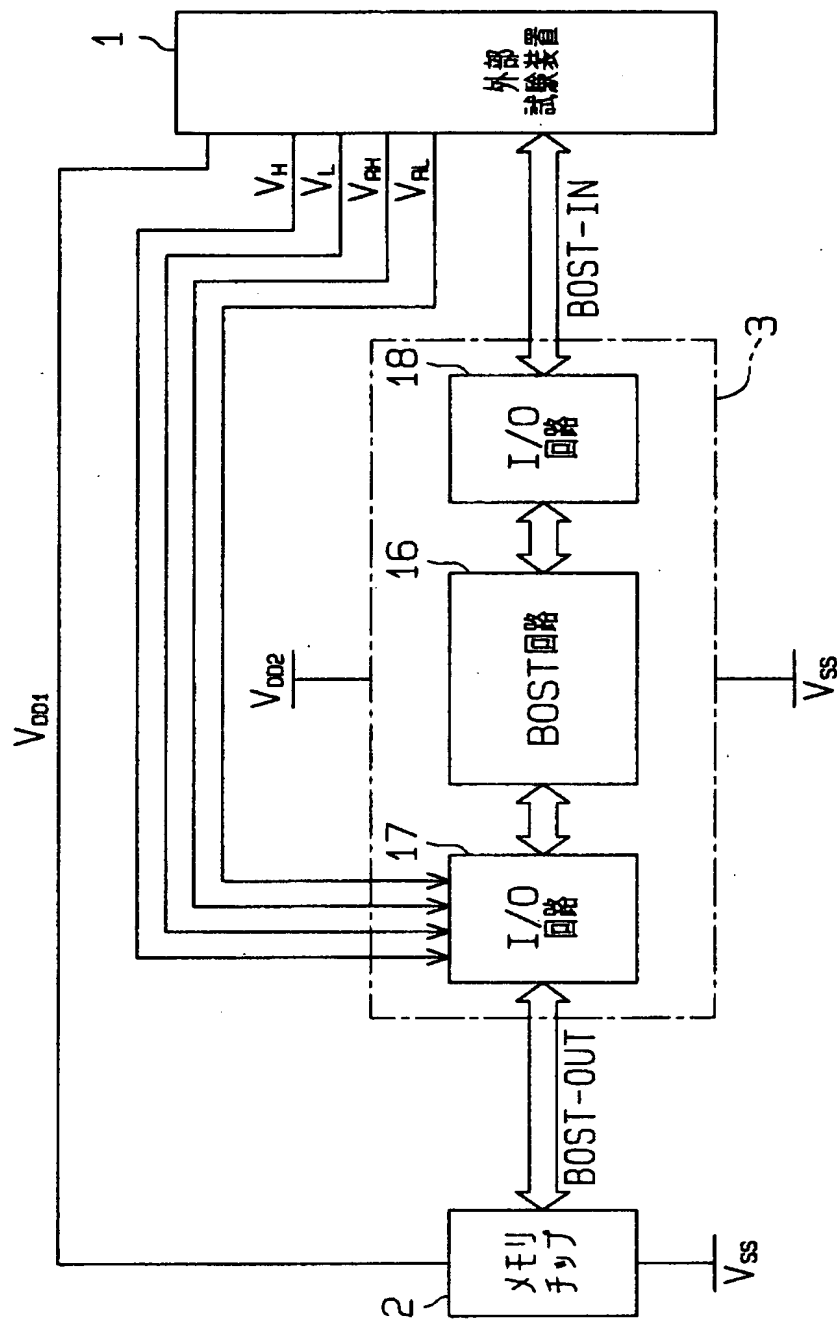
【図 4】

判定回路の入出力回路を示す回路図



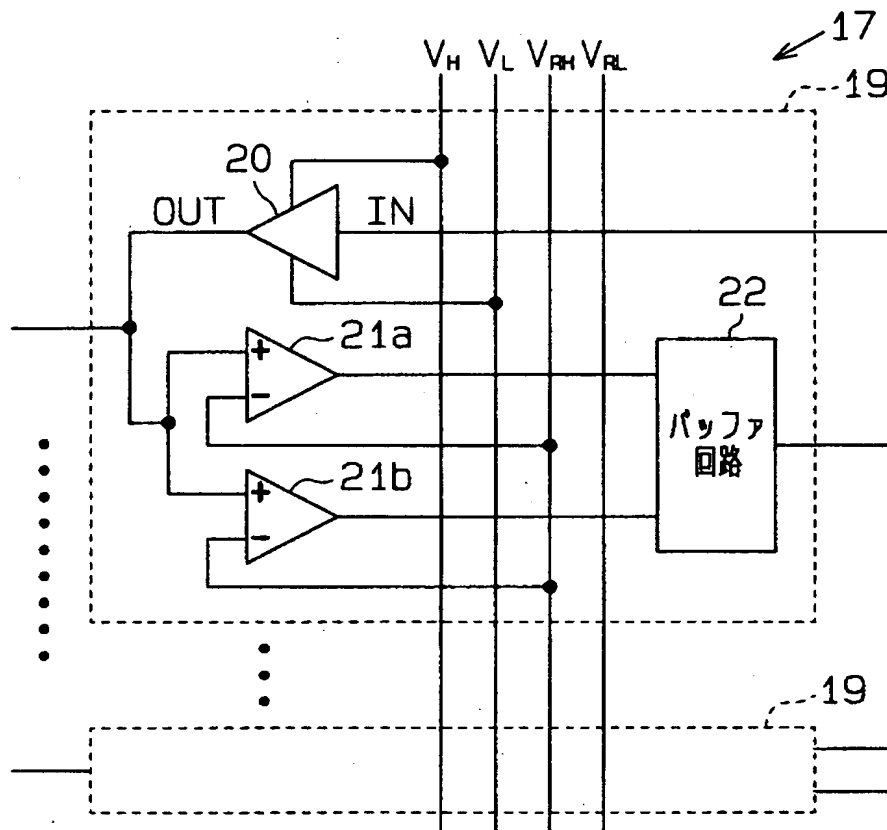
【図 5】

BOSTの入出力回路を示すブロック図



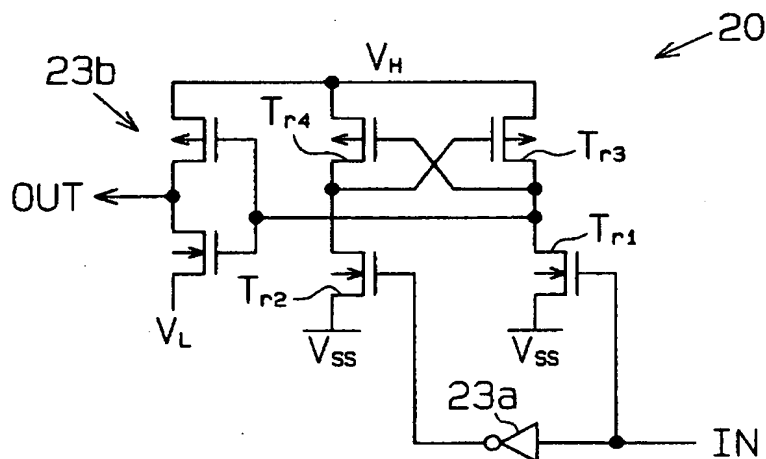
【図 6】

BOSTの入出力回路を示す回路図



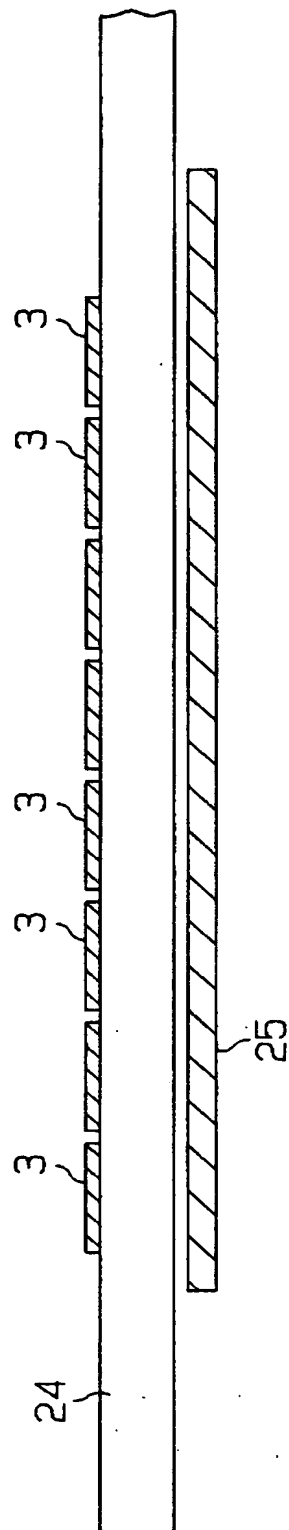
【図 7】

ドライバを示す回路図



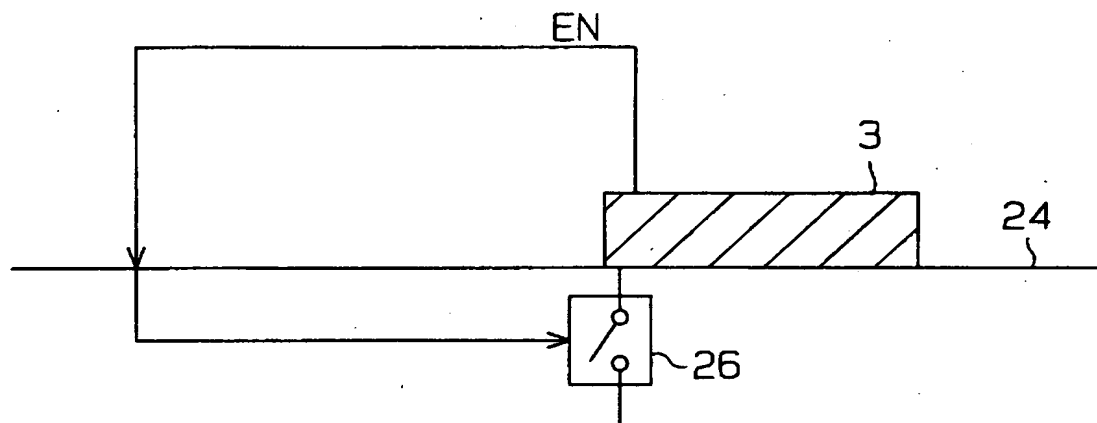
【図 8】

BOSTチップとウェハの接続を示す断面図



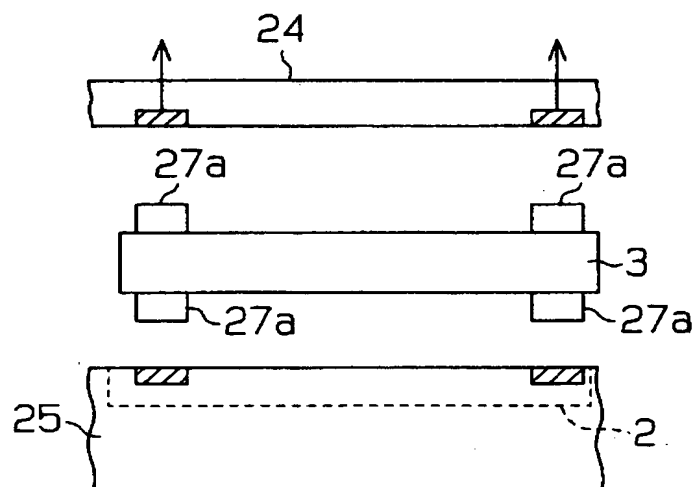
【図9】

BOSTチップとウェハの接続を示す説明図

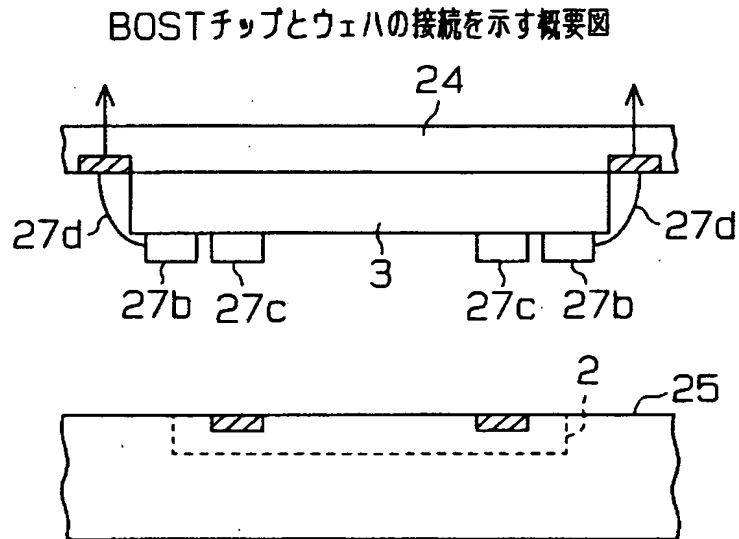


【図10】

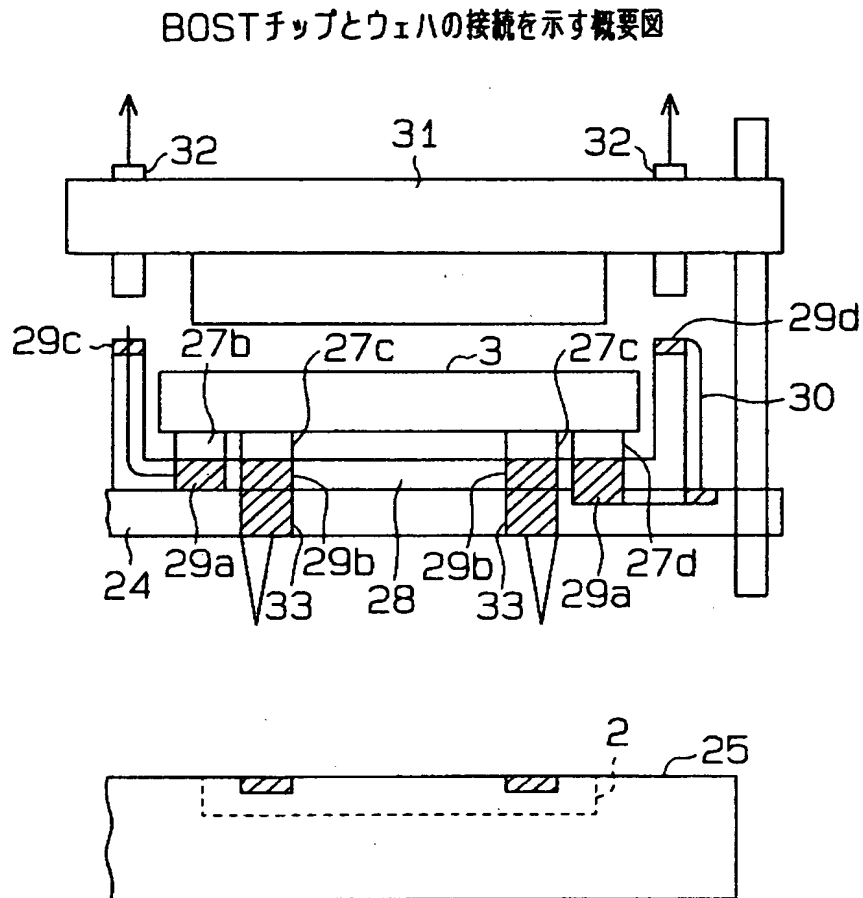
BOSTチップとウェハの接続を示す概要図



【図 1 1】

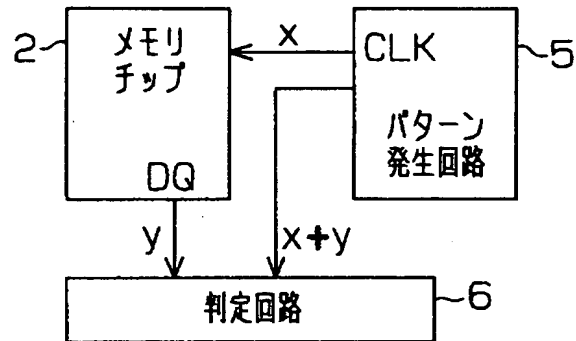


【図 1 2】



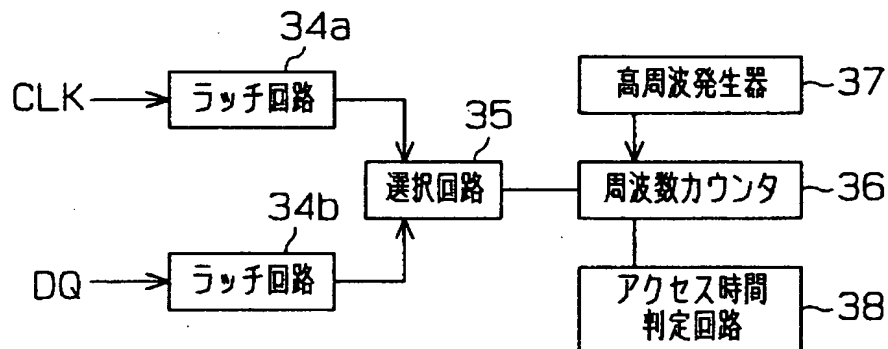
【図 13】

アクセス試験を示す説明図



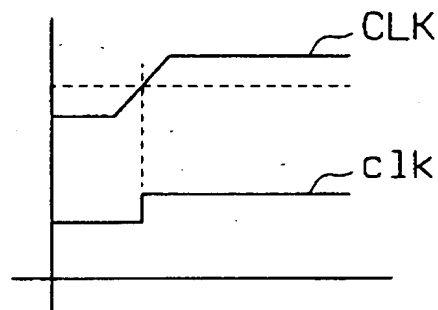
【図 14】

アクセス時間を判定する判定回路を示すブロック図



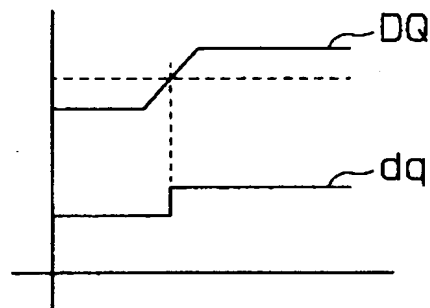
【図 15】

クロック信号を示す波形図



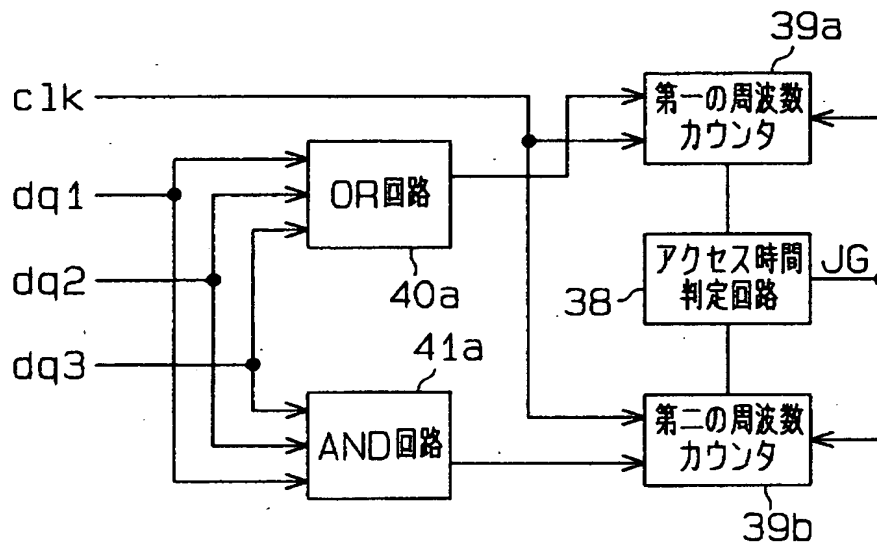
【図 16】

メモリチップの出力信号を示す波形図



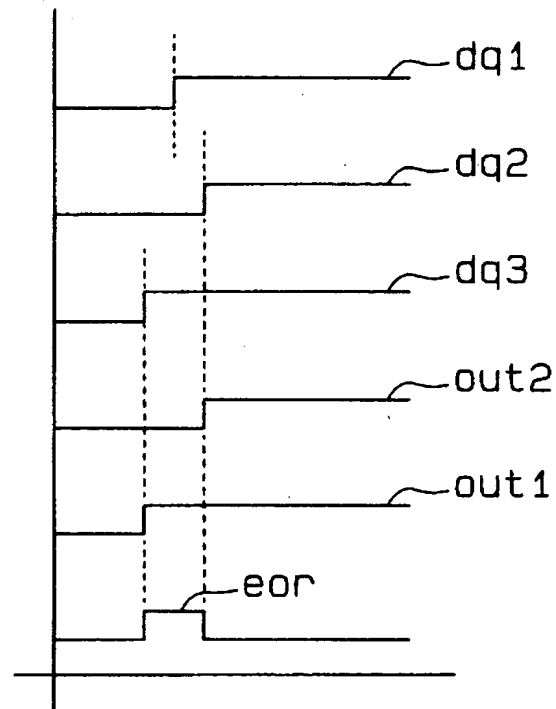
【図 17】

アクセス時間を測定する測定回路を示すブロック図



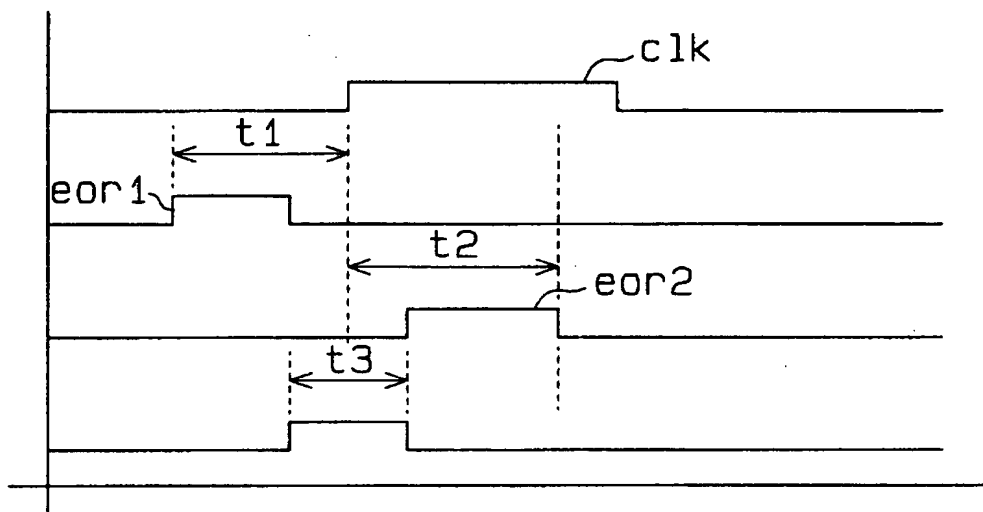
【図 1 8】

アクセス時間を測定する測定回路の動作を示す波形図



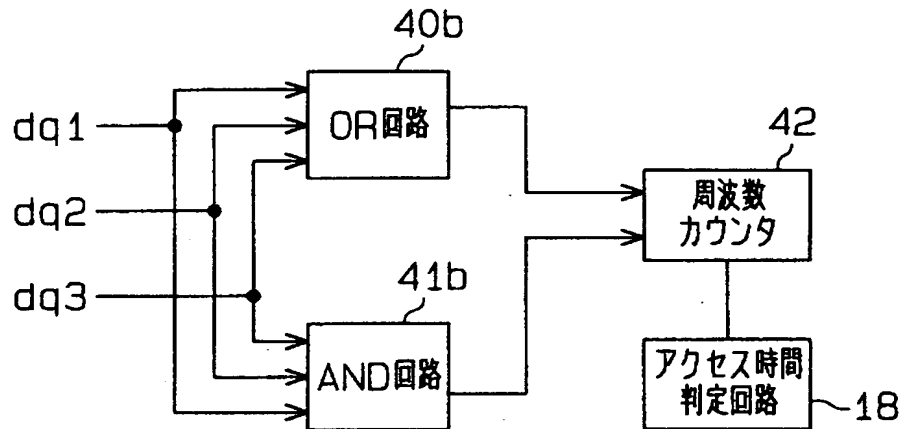
【図 1 9】

アクセス時間を測定する測定回路の動作を示す波形図



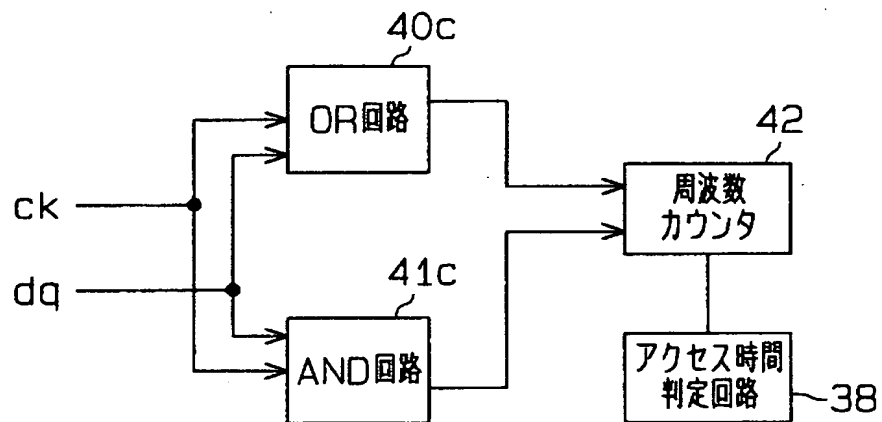
【図 20】

アクセス時間を測定する測定回路を示すブロック図



【図 21】

アクセス時間を測定する測定回路を示すブロック図



【書類名】 要約書

【要約】

【課題】 B O S T 及び B I S T を活用して、ウェハ状態での動作試験の信頼性を向上させ得る半導体装置の試験装置を提供する。

【解決手段】 外部試験装置 1 と、チップ 2 内に形成される B I S T 4 と、外部試験装置 1 とチップ 2 との間に介在される B O S T 3 とでチップ 2 の動作試験が行われる。パターン依存試験用試験パターンが B I S T 4 に格納され、タイミング依存試験用試験パターンが B O S T 3 に格納されて、B O S T 3 及び B I S T 4 を使用して、パターン依存試験及びタイミング依存試験が行われる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社